

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## ⑪ 公開特許公報 (A)

平2-155262

⑤Int.Cl.<sup>5</sup>H 01 L 27/10  
G 11 C 11/44

識別記号

451  
ZAA A

府内整理番号

8624-5F  
7341-5B

④公開 平成2年(1990)6月14日

審査請求 未請求 請求項の数 1 (全4頁)

⑥発明の名称 超電導メモリ素子

⑦特 願 昭63-309179

⑧出 願 昭63(1988)12月7日

⑨発明者 松井 俊之 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

⑩発明者 室井 道人 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

⑪発明者 鯉沼 裕司 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

⑫発明者 津田 孝一 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

⑬出願人 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号

⑭代理人 弁理士 山口巖

最終頁に続く

## 明細書

1. 発明の名称 超電導メモリ素子

2. 特許請求の範囲

1) 超電導体にバリア層を接合してなるトンネル型ジョセフソン素子において、非晶質カルコゲナイトを用いて形成され、 $\ell_0$ 、 $\ell_0$ をそれぞれ光照射後と光照射前のクーパ電子対のコヒーレンス長(Å)とするときに電流方向の厚さ $l$ (Å)が次式(1)

$$\ell_0 < l < \ell_0 \quad \dots (1)$$

を満足する範囲にあるバリア層を備えることを特徴とする超電導メモリ素子。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明はトンネル型ジョセフソン素子にメモリ効果を持たせた超電導メモリ素子に関する。

〔従来の技術〕

超電導メモリ素子としては第4図に示すようなブリッジ型ジョセフソン素子が知られている。この素子においては超電導体11の上にバリア層13を積

して超電導ループ12が積層されている。超電導ループ12に流れる電流 $I$ が $I = 0$ のときは超電導体11の電流電圧特性は通常のジョセフソン特性を示すが超電導ループ12に電流を流すことにより電流による磁場を利用して、超電導体11を常電導体に変化させることができる。超電導ループ12に流れる電流は損失が零であるために減衰するがなく、従ってこの素子はメモリ効果を持つ。超電導ループ12に負荷をつなぐと電流は減衰して零となり常電導体は再び超電導体11に復帰する。このような超電導メモリ素子においては超電導体11は例えばLn-M-Cu-O系の複合酸化物が用いられる。ここでLnは希土類元素の少なくとも1種類であり、MはCa、Mg、Ba等のアルカリ土類金属元素の少なくとも1種類である。バリア層13はアルミニウム等を用い数10Å厚さに形成される。

〔発明が解決しようとする課題〕

しかしながらLn-M-Cu-O系の複合酸化物を用いて超電導体11を形成すると、その平坦性が悪く数1000Åの凹凸があり、これにバリア層13を積

層するとピンホールができる歩留りが悪いという問題がある。さらに従来のメモリ素子では制御用入力として超電導ループ12に電流を流すことによる磁界のみしか用いることができず他の制御用入力を用いることができないという問題もあった。

この発明は上述の点に鑑みてなされ、その目的はバリア層材料に変更を加えることにより製造容易でかつ制御用入力に光あるいは熱を用いることの可能な超電導メモリ素子を提供することにある。

#### 〔課題を解決するための手段〕

上記の目的はこの発明によれば超電導体にバリア層を接合してなるトンネル型ジョセフソン素子において、カルコゲナイトを用いて形成され、 $\xi_b$ 、 $\xi_a$ をそれぞれ光照射後と光照射前のクーパー電子対のコヒーレンス長（Å）とするときに電流方向の厚さL（Å）が次式（1）

$$\xi_b < L < \xi_a \quad \dots \quad (1)$$

を満足する範囲にあるバリア層を備えることにより達成される。

カルコゲナイトとしてSeTe系アモルファスカル

コゲナイト、Ga-As-Te系アモルファスカルコゲナイト、As-Se-S-Gc系アモルファス半導体等が使用可能である。

超電導メモリ素子としてはSIM型、SIS型いずれも可能である。

#### 〔作用〕

非晶質カルコゲナイトに光照射あるいは熱照射等のエネルギー照射を行うとカルコゲナイトは結晶質に相変化する。クーパー電子対のコヒーレンス長はバリア層に用いるカルコゲナイトが結晶質のときに非晶質のときのコヒーレンス長より大きくなる。バリア層の厚さL（Å）が（1）式を満足するときエネルギー照射前においてはクーパー電子対はバリア層をトンネルすることができないがエネルギー照射後はクーパー電子対はバリア層をトンネルするようになる。

非晶質カルコゲナイトをバリア層に用いるときは（1）式を満足するしの値は、アルミナやマグネシアを用いる場合の厚さに比し大きくすることができます。

#### 〔実施例〕

次にこの発明の実施例を図面に基づいて説明する。

第1図はこの発明の実施例に係る超電導メモリ素子の模式断面図である。この構造はSIM型(Superconductor-Insulator-normal Metal)と称される。この超電導メモリ素子は単結晶基板1の上に超電導体2、バリア層3、透明電極4が順次積層される。5は電極である。超電導体2としてLn-M-Cu-O系の複合酸化物超電導体が用いられる。ここでLnはLa、Nd、Pm、Sm、Eu、Gd、Dy、Ho、Er、Tm、Yb、Lu、Yのうちの少なくとも1種類、MはBa、Sr、Caのうちの少なくとも1種類を表す。またBi-Sr-Ca-Cu-O系の複合酸化物超電導体も用いられる。バリア層3としては非晶質カルコゲナイトが100Å厚に形成される。透明電極4としてはAuまたは銀が蒸着される。超電導体2とバリア層3はスパッタにより形成される。

第3図は上記SIM型超電導メモリ素子の光照射後の電流電圧特性が示される。これはジョセフ

ソン素子の直流特性である。この素子に臨界値よりも少ない電流を流すと透明電極4と超電導体2との間の電圧は零である。光としてHe-Neレーザが用いられる。

第2図はSIM型超電導メモリ素子のバリア層3を透明電極4を介して光照射する前の素子の電流電圧特性である。これはオーミックな特性である。光照射前の素子に上述と同じ臨界値よりも少ない電流を流すと、透明電極4と超電導体2との間に電圧が発生する。以上のようにして光照射の有無により電極5の電圧が零値または非零値となるので光照射によりメモリ効果が得られる。

カルコゲナイトをバリア層として用いるときは（1）式を満足するしの値は数百ÅとなるのでLn-M-Cu-O系の超電導体2の上に直接的にバリア層を積層することができ、超電導メモリ素子の製造が容易となる。

#### 〔発明の効果〕

この発明によれば、超電導体にバリア層を接合してなるトンネル型ジョセフソン素子において、

カルコゲナイトを用いて形成され、 $d_1$ 、 $d_2$ をそれぞれ光照射後と光照射前のクーパ電子対のコヒーレンス長( $\lambda$ )とするときに電流方向の厚さし( $\lambda$ )が次式(1)

$$d_2 < \lambda < d_1 \quad \dots \dots \dots \quad (1)$$

を満足する範囲にあるバリア層を備えるのでエネルギー照射によりバリア層であるカルコゲナイトが非晶質より結晶質に変化してクーパ電子対のコヒーレンス長がバリア層の厚さより大きくなつて電子はジョセフソン特性を示すようになるが、エネルギー照射前はクーパ電子対のコヒーレンス長がバリア層の厚さより小さくバリア層は抵抗体として機能するため電子はオーミック特性を示す。このようにして、臨界電流値以下においてエネルギー照射前には電子は非零値の電圧を、エネルギー照射後において零値の電圧を示し、メモリ効果が得られる。またカルコゲナイトをバリア層に用いるとバリア層を数百Åの厚さに設定することができるので $La - M - Cu - O$ 系超電導体の上に直接的にバリア層を積層することができ、超電導体メモリ素子

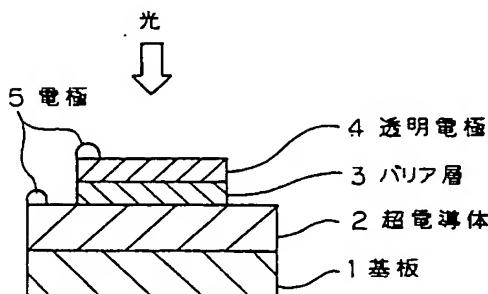
を容易に製造することが可能となる。

#### 4. 図面の簡単な説明

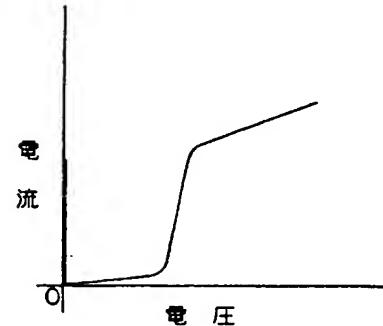
第1図はこの発明の実施例に係る超電導メモリ素子の模式断面図、第2図はこの発明の実施例に係るメモリ素子の光照射前の特性を示す線図、第3図はこの発明の実施例に係るメモリ素子の光照射後の特性を示す線図、第4図は従来の超電導メモリ素子を示す模式断面図である。

1…基板、2…超電導体、3…バリア層、4…透明電極、5…電極。

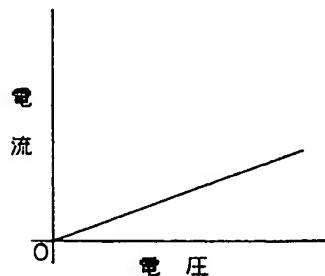
代理人弁理士 山 口 雄



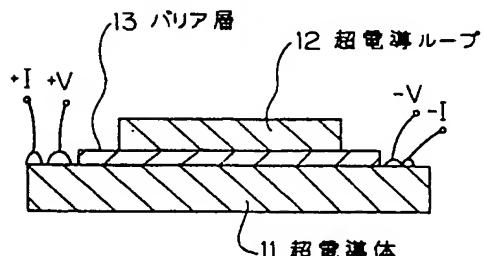
第1図



第3図



第2図



第4図

第1頁の続き

⑦発明者 向江 和郎 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会  
社内